



DEUTSCHES
PATENTAMT

②① Akt nzeichen: P 44 29 595.2-31
②② Anm Idetag: 20. 8. 94
④③ Offenlegungstag: —
④⑤ Veröffentlichungstag
der Patenterteilung: 29. 6. 95

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦③ Patentinhaber:

Philips Patentverwaltung GmbH, 20097 Hamburg, DE

⑦② Erfinder:

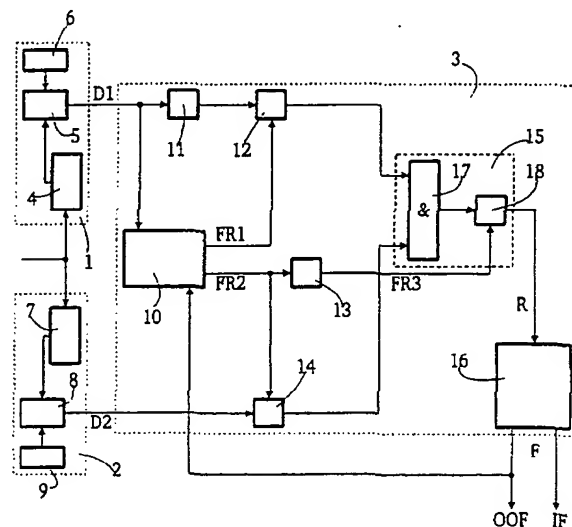
Keller, Hans-Georg, Dipl.-Ing., 90489 Nürnberg, DE;
Hönig, Karl, Dipl.-Ing., 92353 Postbauer-Heng, DE

⑤⑤ Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:

DE 40 15 283 A1
ITU-T Recommendation G.832, Digital Net- works,
Transport of SDH Elements on PDH Net- works:
Frame and Multiplexing Structures, International
Telecommunication Union, ITU 1994;

⑤④ Übertragungssystem zur Übertragung und zur Erkennung des Rahmenanfangs eines rahmensynchronisierten Signals

⑤⑦ Die Erfindung bezieht sich auf ein Übertragungssystem zur Übertragung und zur Erkennung des Rahmenanfangs eines rahmensynchronisierten Signals mit einer ersten und zweiten Detektionsschaltung (1, 2) und einer Auswerteschaltung (3). Die erste Detektionsschaltung (1) ist zur Setzung eines ersten Detektionssignals (D1) in einen ersten Zustand nach Detektion einer am Rahmenanfang des Signals auftretenden, ersten Bitfolge und die zweite Detektionsschaltung (2) zur Setzung eines zweiten Detektionssignals (D2) in einen ersten Zustand nach Detektion einer an einer bestimmten Rahmenposition des Signals auftretenden, zweiten Bitfolge vorgesehen. Die Auswerteschaltung (3) enthält einen Rahmenzähler (10), der wenigstens während der Ermittlung des Rahmenanfangs zum Zurücksetzen auf einen Startwert nach Auftreten des ersten Zustands des ersten Detektionssignals (D1) vorgesehen ist, und eine Kombinationsschaltung (15) zur Bildung eines Rahmenzustandssignals (R), das nur dann einen ersten Zustand aufweist, wenn der erste Zustand des ersten Detektionssignals (D1) während des Startwertes und der erste Zustand des zweiten Detektionssignals (D2) während eines bestimmten Rahmenwertes des Rahmenzählers (10) auftritt.



Die Erfindung bezieht sich auf ein Übertragungssystem zur Übertragung und zur Erkennung des Rahmenanfangs eines rahmensynchronisierten Signals.

Ein solches rahmensynchronisiertes Signal kann das 34 368 Kbit/s-Signal der plesiochronen digitalen Hierarchie (PDH) sein, welches verschiedene Daten transportieren kann. Der Rahmen dieses 34 368 Kbit/s-Signals enthält insgesamt 537 Bytes und weist insgesamt 59 Spalten mit jeweils 9 Zeilen (oder Bytes) für Nutzdaten auf. Zusätzlich ist noch eine Spalte mit 6 Zeilen (oder Bytes) mit Steuerungsdaten enthalten. Die Struktur dieses Rahmens ist schematisch in der Fig. 1 dargestellt. Die ersten 6 Zeilen enthalten jeweils in der ersten Spalte Steuerdaten. Ferner sind noch in der ersten Zeile und zweiten Spalte Steuerdaten enthalten. In der Fig. 2 sind die Steuerdaten näher dargestellt. Die beiden Bytes FA1 und FA2 (Frame Alignment signal) in den ersten beiden Spalten der ersten Zeile dienen zur Erkennung des Rahmenanfangs und weisen die fest vorgegebene Bitfolge "1111011000101000" auf. Die Steuerdaten MA (Maintenance and Adaptation byte) in der ersten Spalte der vierten Zeile enthalten Informationen über die Art der zu transportierenden Nutzdaten. Diese Informationen geben das dritte bis fünfte Bit (als Payload Type Identifier { = PTI} bezeichnet) des Steuerfeldes NA an.

Werden z. B. Zellen nach dem Asynchronen Transfermodus (ATM) transportiert enthält das PTI-Feld die Bitfolge "010". Weitere Informationen zur Rahmenstruktur können den ITU-T Recommendation G.832 entnommen werden.

Jede ATM-Zelle besteht aus einem Kopffeld mit einer Länge von 5 Bytes und einem Informationsfeld, in dem Nutzinformationen wie Fernsprech-, Bild-, Tonsignale usw. untergebracht sind, mit einer Länge von 48 Bytes. In einem Kopffeld sind Wegekennungen, Daten zur Fehlererkennung und Daten für Steuerinformationen vorhanden. In den Rahmen des 34 368 Kbit/s-Signal der plesiochronen digitalen Hierarchie werden genau 10 ATM-Zellen untergebracht. Die Bytes des Kopffeldes sind dabei unverschlüsselt und die Bytes des Informationsfeldes einer Zelle verschlüsselt in das 34 368 Kbit/s-Signal eingefügt.

Durch Untersuchungen hat sich ergeben, daß bestimmte Bit folgen des Kopffeldes von aufeinanderfolgenden Zellen die gleiche Struktur wie die Bitfolge für den Rahmenanfang des 34 368 Kbit/s-Signal aufweisen können. Bei der Auswertung des 34 368 Kbit/s-Signal könnte dann ein falscher Rahmenanfang ermittelt werden.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Übertragungssystem zu schaffen, welches eine sichere Erkennung des Rahmenanfangs des 34 368 Kbit/s-Signal der plesiochronen digitalen Hierarchie auch bei dem Transport von ATM-Zellen ermöglicht.

Die Aufgabe wird durch ein Übertragungssystem der eingangs genannten Art durch folgende Merkmale gelöst:

Das Übertragungssystem zur Übertragung und zur Erkennung des Rahmenanfangs eines rahmensynchronisierten Signals enthält

eine erste Detektionsschaltung zur Setzung eines ersten Detektionssignals in einen ersten Zustand nach Detektion einer am Rahmenanfang des Signals auftretenden, ersten Bitfolge,

eine zweite Detektionsschaltung zur Setzung eines zweiten Detektionssignals in einen ersten Zustand nach

Detektion einer an einer bestimmten Rahmenposition des Signals auftretenden, zweiten Bitfolge und eine Auswerteschaltung, die

— einen Rahmenzähler enthält, der wenigstens während der Ermittlung des Rahmenanfangs zum Zurücksetzen auf einen Startwert nach Auftreten des ersten Zustands des ersten Detektionssignals vorgesehen ist, und

— eine Kombinationsschaltung zur Bildung eines Rahmenzustandssignals enthält, das nur dann einen ersten Zustand aufweist, wenn der erste Zustand des ersten Detektionssignals während des Startwertes und der erste Zustand des zweiten Detektionssignals während eines bestimmten Rahmenwertes des Rahmenzählers auftritt.

Das erfindungsgemäße Übertragungssystem weist eine erste Detektionsschaltungen auf, die den Rahmenanfang eines rahmensynchronisierten Signals ermittelt, und eine zweite Detektionsschaltung, die eine bestimmte Rahmenpositionen des rahmensynchronisierten Signals detektiert. Beispielsweise ermittelt die erste Detektionsschaltung bei Empfang von Daten des 34 368 Kbit/s-Signals der plesiochronen digitalen Hierarchie die Bitfolge der Bytes FA1 und FA2 und die zweite Detektionsschaltung die 3 Bits des PTI-Feldes. Ist der Rahmenanfang und die bestimmte Rahmenposition detektiert, wechseln ein erstes bzw. ein zweites Detektionssignal in einen ersten Zustand. Eine Auswerteschaltung stellt fest ob der Rahmenanfang des rahmensynchronisierten Signals gefunden worden ist. Hierzu enthält die Auswerteschaltung einen Rahmenzähler, der zur Zählung der Bitpositionen des rahmensynchronisierten Signals vorgesehen ist. Beispielsweise zählt der Rahmenzähler bei dem 34 368 Kbit/s-Signal der plesiochronen digitalen Hierarchie 4296 Takte, bevor er wieder bei dem Startwert (z. B. Null) beginnt. Der Rahmenzähler kann nur dann von dem im ersten Zustand befindlichen ersten Detektionssignal zurückgesetzt werden, wenn der Rahmenanfang noch nicht ermittelt worden ist. Ferner enthält die Auswerteschaltung eine Kombinationsschaltung, die ein Rahmenzustandssignal bildet. Das Rahmenzustandssignal ist in einem ersten Zustand, wenn die erste Detektionsschaltungen den Rahmenanfang und die zweite Detektionsschaltung die bestimmte Rahmenposition detektiert haben. Der erste Zustand des Rahmenzustandssignals bedeutet, daß der Rahmenanfang gefunden worden ist.

Die falsche Erkennung des Rahmenanfangs ist durch die Detektion zweier Bit folgen mit hoher Wahrscheinlichkeit ausgeschlossen. Praktische Untersuchungen mit dem 34 368 Kbit/s-Signal der plesiochronen digitalen Hierarchie haben auch eine sichere Erkennung des Rahmenanfangs nachgewiesen.

In einer Ausführungsform enthält die erste und zweite Detektionsschaltung jeweils ein Schieberegister zum Einschreiben der Bits des als serieller Datenstrom vorliegenden Signals und einen Vergleicher

— jeweils zum Vergleich der im Schieberegister zwischengespeicherten Bitfolge und der ersten bzw. zweiten Bitfolge,

— zur Setzung des ersten bzw. zweiten Detektionssignals in den ersten Zustand bei Übereinstimmung der im jeweiligen Schieberegister zwischengespeicherten und der ersten bzw. zweiten Bitfolge

— zur Setzung des ersten bzw. zweiten Detektions-

signals in einen zweiten Zustand bei Nichtübereinstimmung der im jeweiligen Schieberegister zwischengespeicherten und der ersten bzw. zweiten Bitfolge.

Um die Wahrscheinlichkeit zu erhöhen, daß der korrekte Rahmenanfang gefunden worden ist, muß mehrmals (z. B. zweimal) hintereinander das Rahmenzustandssignal den ersten Zustand aufweisen. Auch wenn festgestellt werden soll, daß der Rahmenanfang im Signal nicht mehr gefunden wird, muß das Rahmenzustandssignal mehrmals (z. B. fünfmal) hintereinander in einem zweiten Zustand sein. Hierdurch werden kurzzeitig auftretende Fehler ignoriert.

Die Auswerteschaltung enthält daher eine ein Folgezustandssignal erzeugende Zustandsschaltung, die zum Wechsel eines Folgezustandssignals aus einem zweiten in einen ersten Zustand vorgesehen ist, wenn das Rahmenzustandssignal mehrmals hintereinander den ersten Zustand aufweist, und zum Wechsel eines Folgezustandssignals aus dem ersten in den zweiten Zustand vorgesehen ist, wenn das Rahmenzustandssignal mehrmals hintereinander den zweiten Zustand aufweist. Der Rahmenzähler ist nach dem Wechsel des Folgezustandssignals in den zweiten Zustand zur Rücksetzung auf den Startwert bei Auftreten des ersten Zustands des ersten Detektionssignals vorgesehen. Wenn also das Folgezustandssignal anzeigt (erster Zustand), daß der Rahmenanfang mehrmals hintereinander gefunden worden ist, kann der Rahmenzähler nicht mehr durch das erste Detektionssignal zurückgesetzt werden.

Zur Bildung des Rahmenzustandssignals in der Kombinationsschaltung sind drei Kippglieder und ein UND-Gatter vorgesehen. Der Rahmenzähler ist nach Erreichen des Startwertes zur Ausgabe eines ersten Freigabeimpulses für ein erstes Kippglied zur Zwischenspeicherung des ersten Detektionssignals und nach Erreichen des bestimmten Rahmenwertes zur Ausgabe eines zweiten Freigabeimpulses für ein zweites Kippglied zur Zwischenspeicherung des zweiten Detektionssignals bestimmt. Die das Rahmenzustandssignal bildende Kombinationsschaltung enthält das UND-Gatter und ein drittes Kippglied. Das UND-Gatter ist mit dem jeweiligen Ausgang des ersten und zweiten Kippgliedes gekoppelt und das dritte Kippglied ist zur Zwischenspeicherung des Ausgangssignals des UND-Gatters vorgesehen.

Ein Ausführungsbeispiel der Erfindung wird nachstehend anhand der Zeichnungen erläutert. Es zeigen:

Fig. 1 den Rahmen eines 34 368 Kbit/s-Signal der plesiochronen digitalen Hierarchie (PDH),

Fig. 2 einen Ausschnitt des in Fig. 1 dargestellten Rahmens mit Steuerungsdaten,

Fig. 3 ein Ausführungsbeispiel eines Teils eines Übertragungssystems mit einer Schaltungsanordnung zur Erkennung des Rahmenanfangs des rahmensynchronisierten 34 368 Kbit/s-Signal der plesiochronen digitalen Hierarchie und

Fig. 4 ein Zustandsfolgediagramm zur Erläuterung einer in der Fig. 3 verwendeten Zustandsschaltung.

In der Fig. 3 ist eine Schaltungsanordnung zur Erkennung des Rahmenanfangs eines ATM-Zellen transportierenden 34 368 Kbit/s-Signals der plesiochronen digitalen Hierarchie (PDH) dargestellt, die Teil eines Übertragungssystems zur Übertragung dieses plesiochronen Signals ist. Um die ATM-Zellen aus dem plesiochronen Signal ausblenden zu können, muß zuvor der Rahmenanfang erkannt werden. Der Rahmen des 34 368 Kbit/s-

Signals ist in den Fig. 1 und 2 schematisch dargestellt, wie eingangs erläutert worden ist.

Die Schaltungsanordnung in der Fig. 3 enthält eine erste Detektionsschaltung 1, eine zweite Detektionsschaltung 2 und eine Auswerteschaltung 3. Den beiden Detektionsschaltungen 1 und 2 werden die seriellen Daten des plesiochronen Signals zugeführt. In der ersten Detektionsschaltung 1 werden die seriellen Daten des plesiochronen Signals in ein Schieberegister 4 eingeschrieben. Die Parallelausgänge des Schieberegisters 4 sind mit einem ersten Eingang eines Vergleichers 5 verbunden. Ein zweiter Eingang des Vergleichers 5 ist mit einem Register 6 gekoppelt, das dem Vergleichers 5 eine erste Bitfolge liefert. Die erste Bitfolge ("1111011000101000") weist eine Struktur auf, die den Steuerbits FA1 und FA2 des 34 368 Kbit/s-Signals entsprechen. Der Vergleichers 5 liefert ein erstes Detektionssignal D1 an die Auswerteschaltung 3. Das erste Detektionssignal D1 ist in einem ersten Zustand, wenn der Vergleichers feststellt, daß seinen beiden Eingängen die gleichen Bitfolgen zugeführt werden. In den anderen Fällen, also bei Ungleichheit der beiden Bitfolgen, ist das erste Detektionssignal in einem zweiten Zustand.

Die zweite Detektionsschaltung 2 enthält ein zweites Schieberegister 7, einen zweiten Vergleichers 8 und ein zweites Register 9 und arbeitet auf dieselbe Weise wie die erste Detektionsschaltung 1. Der Vergleichers 8 liefert ein zweites Detektionssignal D2. In dem Register 9 ist eine zweite Bitfolge mit drei Bit abgespeichert, die der Struktur des PTI (payload type identifier)-Feldes ("010") für ATM-Zellen entsprechen. Sind in dem Schieberegister 7 und dem Register 9 die gleichen Bitfolgen abgespeichert, so nimmt das zweite Detektionssignal D2 einen ersten Zustand und in den anderen Fällen einen zweiten Zustand an.

Die Auswerteschaltung 3 enthält einen Rahmenzähler 10, vier Kippglieder 11 bis 14, eine Kombinationsschaltung 15 und eine Zustandsschaltung 16. Das erste Detektionssignal D1 wird dem Kippglied 11 und einem Rücksetzeingang des Rahmenzählers 10 zugeführt. Der Rahmenzähler 10 zählt zyklisch 4296 Takte, deren Anzahl der Anzahl der Bits eines Rahmens des plesiochronen Signals entspricht. Der Startwert des Rahmenzählers 10 ist der Wert Null. Bei diesem Wert gibt der Rahmenzähler 10 einen ersten Freigabeimpuls FR1 an ein weiteres Kippglied 12 (erstes Kippglied) ab. Mit dem Auftreten des Freigabeimpulses übernimmt das Kippglied 12 den Zustand des ersten Detektionssignals D1 aus dem Kippglied 11.

Der Rahmenzähler 10 erzeugt einen zweiten Freigabeimpuls FR2, wenn der Rahmenzähler 10 den Zählerstand 904 erreicht hat. Der Zählerstand 904 entspricht bezogen auf den Zählerstand Null am Rahmenanfang dem dritten Bit des PTI-Feldes. Mit dem Freigabeimpuls FR2 wird der Zustand des zweiten Detektionssignals D2 in das Kippglied 14 (zweites Kippglied) übernommen. Der Zustand des zweiten Freigabeimpulses FR2 wird noch in das Kippglied 13 eingeschrieben. Das Kippglied 13 speichert den Freigabeimpuls und liefert diesen an die Kombinationsschaltung 15.

Die Kombinationsschaltung 15 enthält ein UND-Gatter 17 und ein weiteres Kippglied 18 (drittes Kippglied). Das UND-Gatter 17 verknüpft jeweils das Ausgangssignal des Kippgliedes 12 und das Ausgangssignal des Kippgliedes 14. Der Ausgangszustand des UND-Gatters 17 wird mit dem Auftreten des Freigabeimpulses FR3 von dem Kippglied 13 in das Kippglied 18 eingeschrieben. Das Kippglied 18 liefert ein Rahmenzu-

standssignal R, das einen zweiten Zustand annimmt, wenn die in den Kippgliedern 12 und 14 gespeicherten Zustände des ersten und zweiten Detektionssignals D1 und D2 jeweils den ersten Zustand aufweisen. In den anderen Fällen ist das Rahmenzustandssignal R in einem zweiten Zustand. Der erste Zustand des Rahmenzustandssignals R gibt an, daß der Rahmenanfang in dem plesiochronen Signal gefunden worden ist.

Die das Rahmenzustandssignal R empfangene Zustandsschaltung 16 arbeitet nach dem in der Fig. 4 dargestellten Zustandsfolgediagramm. Die Zustandsschaltung 16 gibt ein Zwei-Bit-Folgezustandssignal F ab, dessen erstes Bit mit OOF (out of frame) und dessen zweites Bit mit IF (in frame) bezeichnet wird. Das Folgezustandssignal F ist in einem ersten Zustand wenn das erste Bit OOF logisch gleich "0" und das zweite Bit IF logisch gleich "1" ist. In einem zweiten Zustand befindet sich das Folgezustandssignal F, wenn das erste Bit OOF logisch gleich "1" und das zweite Bit IF logisch gleich "0" ist. In der Fig. 4 kann die Arbeitsweise der Zustandsschaltung 16 abgelesen werden. Wenn das Folgezustandssignal F in einem zweiten Zustand ist, wird dies im Zustandsfolgediagramm durch den Zustand OOF gekennzeichnet. Aus dem zweiten in den ersten Zustand (IF) kann das Folgezustandssignal F erst nach zweimaligem hintereinander auftretenden ersten Zustand des Rahmenzustandssignals R wechseln. Der erste Zustand des Rahmenzustandssignals R ist in der Fig. 4 mit R(1Z) bezeichnet. Umgekehrt kann das Folgezustandssignal F erst nach fünfmaligem hintereinander auftretenden zweiten Zustand des Rahmenzustandssignals R wechseln. Der zweite Zustand des Rahmenzustandssignals R ist in der Fig. 4 mit R(2Z) bezeichnet.

Wenn das Folgezustandssignal F im zweiten Zustand ist, ist der Rahmenzähler 10 nicht mit dem Rahmen des plesiochronen Signals synchronisiert. Mit dem Auftreten des ersten Zustandes des ersten Detektionssignals D1 wird der Rahmenzähler 10 dann auf den Startwert zurückgesetzt. Der Rahmenzähler 10 geht in einen Sperrmodus und kann erst wieder nach einem Zyklus (4296 Takte) zurückgesetzt werden. Falls nach einem Zyklus wieder der erste Zustand des ersten Detektionssignals D1 vorliegt, wird der nicht mehr im Sperrmodus befindliche Rahmenzähler 10 zurückgesetzt und für einen Zyklus gesperrt. Falls nach einem Zyklus der erste Zustand des ersten Detektionssignals D1 nicht vorliegt, zählt der Rahmenzähler weiter, wird nicht zurückgesetzt und wechselt auch nicht in den Sperrmodus. Durch ein erneutes Auftreten des ersten Zustandes des ersten Detektionssignals D1 wird der Rahmenzähler 10 während des Zyklus dann auf den Startwert zurückgesetzt. Die geschilderten Verläufe zur Synchronisation des Rahmenzählers können jedoch nur ablaufen, wenn das Folgezustandssignal im zweiten Zustand ist (erste Bit OOF logisch gleich "1"). Die Freigabe zur Synchronisation des Rahmenzählers wird also durch die Zuführung des ersten Bits OOF des Zustandsfolgesignals zum Rahmenzähler 10 ermöglicht. Falls das Folgezustandssignal F im ersten Zustand ist, kann der Rahmenzähler 10 nicht durch das erste Detektionssignal zurückgesetzt werden.

Patentansprüche

1. Übertragungssystem zur Übertragung und zur Erkennung des Rahmenanfangs eines rahmensynchronisierten Signals mit einer ersten Detektionsschaltung (1) zur Setzung eines ersten Detektionssignals (D1) in einen ersten Zustand nach Detektion

einer am Rahmenanfang des Signals auftretenden, ersten Bitfolge, mit einer zweiten Detektionsschaltung (2) zur Setzung eines zweiten Detektionssignals (D2) in einen ersten Zustand nach Detektion einer an einer bestimmten Rahmenposition des Signals auftretenden, zweiten Bitfolge und mit einer Auswerteschaltung (3), die

- einen Rahmenzähler (10) enthält, der wenigstens während der Ermittlung des Rahmenanfangs zum Zurücksetzen auf einen Startwert nach Auftreten des ersten Zustands des ersten Detektionssignals (D1) vorgesehen ist, und
- eine Kombinationsschaltung (15) zur Bildung eines Rahmenzustandssignals (R) enthält, das nur dann einen ersten Zustand aufweist, wenn der erste Zustand des ersten Detektionssignals (D1) während des Startwertes und der erste Zustand des zweiten Detektionssignals (D2) während eines bestimmten Rahmenwertes des Rahmenzählers (10) auftritt.

2. Übertragungssystem nach Anspruch 1, dadurch gekennzeichnet, daß die erste und zweite Detektionsschaltung (1, 2) jeweils ein Schieberegister (4, 7) zum Einschreiben der Bits des als serieller Datenstrom vorliegenden Signals und einen Vergleichs- (5, 8)

- jeweils zum Vergleich der im Schieberegister (4, 7) zwischengespeicherten Bitfolge und der ersten bzw. zweiten Bitfolge,
- zur Setzung des ersten bzw. zweiten Detektionssignals (D1, D2) in den ersten Zustand bei Übereinstimmung der im jeweiligen Schieberegister (4, 7) zwischengespeicherten und der ersten bzw. zweiten Bitfolge
- zur Setzung des ersten bzw. zweiten Detektionssignals (D1, D2) in einen zweiten Zustand bei Nichtübereinstimmung der im jeweiligen Schieberegister (4, 7) zwischengespeicherten und der ersten bzw. zweiten Bitfolge enthält.

3. Übertragungssystem nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Auswerteschaltung (3) eine ein Folgezustandssignal (F) erzeugende Zustandsschaltung (16) enthält, die zum Wechsel eines Folgezustandssignals (F) aus einem zweiten in einen ersten Zustand vorgesehen ist, wenn das Rahmenzustandssignal (R) mehrmals hintereinander den ersten Zustand aufweist, und zum Wechsel eines Folgezustandssignals (F) aus dem ersten in den zweiten Zustand vorgesehen ist, wenn das Rahmenzustandssignal (R) mehrmals hintereinander den zweiten Zustand aufweist, und daß der Rahmenzähler (10) nach dem Wechsel des Folgezustandssignals (F) in den zweiten Zustand zur Rücksetzung auf den Startwert bei Auftreten des ersten Zustands des ersten Detektionssignals (D1) vorgesehen ist.

4. Übertragungssystem nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, daß der Rahmenzähler (10) nach Erreichen des Startwertes zur Ausgabe eines ersten Freigabeimpulses (FR1) für ein erstes Kippglied (12) zur Zwischenspeicherung des ersten Detektionssignals (D1) und nach Erreichen des bestimmten Rahmenwertes zur Ausgabe eines zweiten Freigabeimpulses (FR2) für ein zweites Kippglied (14) zur Zwischenspeicherung des zweiten Detektionssignals (D2) vorgesehen ist, daß die das Rahmenzustandssignal (R) bildende

Kombinationsschaltung (15) ein UND-Gatter (17) und ein drittes Kippglied (18) enthält und daß das UND-Gatter (17) mit dem jeweiligen Ausgang des ersten und zweiten Kippgliedes (12, 14) gekoppelt ist und das dritte Kippglied (18) zur Zwischen- 5
speicherung des Ausgangssignals des UND-Gatters (17) vorgesehen ist.

Hierzu 2 Seite(n) Zeichnungen

10

15

20

25

30

35

40

45

50

55

60

65

- Leerseite -

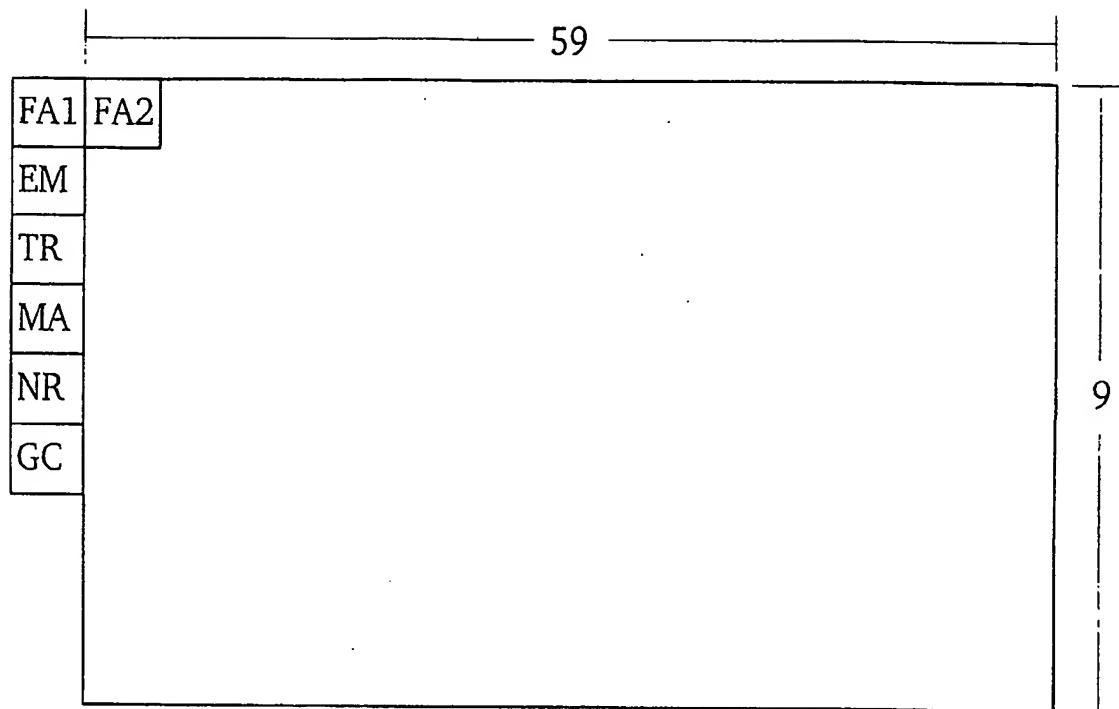


FIG. 1

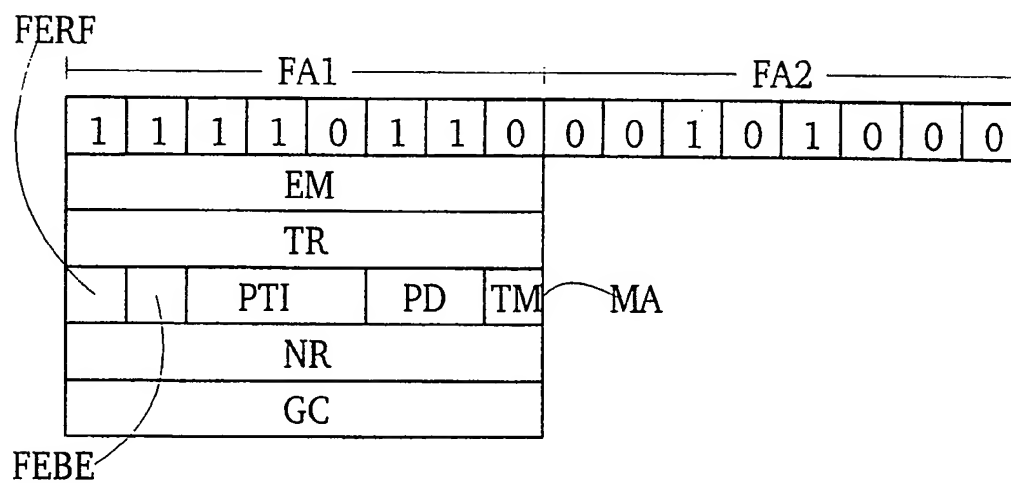


FIG. 2

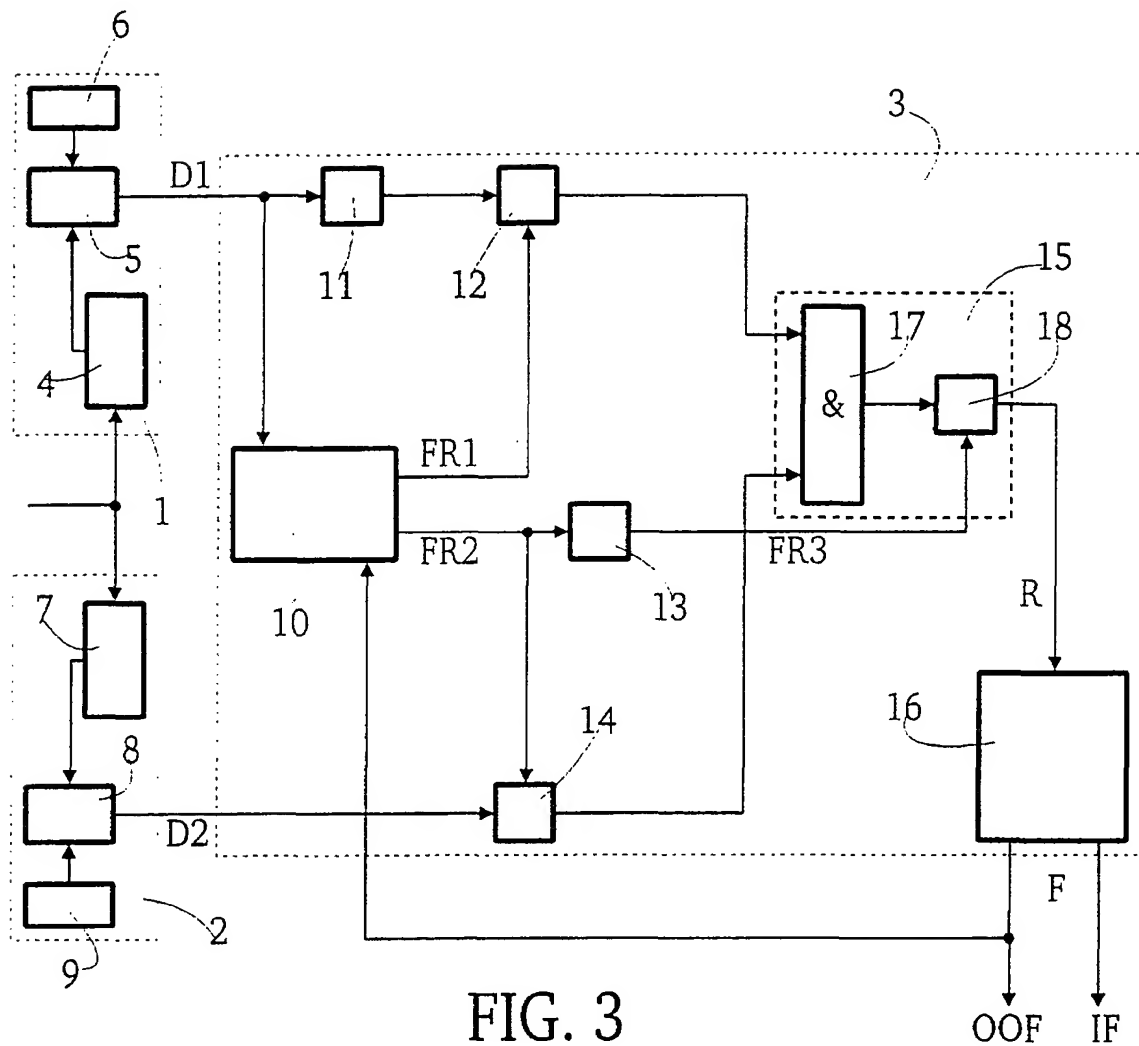


FIG. 3

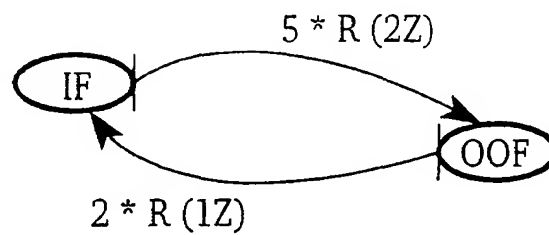


FIG. 4